

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017064

International filing date: 17 November 2004 (17.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-093254
Filing date: 26 March 2004 (26.03.2004)

Date of receipt at the International Bureau: 20 January 2005 (20.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

22.11.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 9 3 2 5 4
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 9 3 2 5 4]

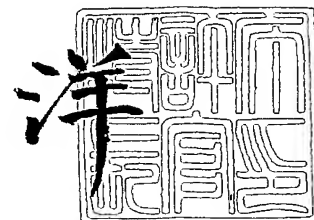
出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):



2 0 0 5 年 1 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 2 0 4 0 6

【書類名】 特許願
【整理番号】 2037650037
【提出日】 平成16年 3月26日
【あて先】 特許庁長官殿
【国際特許分類】 H03L 7/00
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 道正 志郎
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 徳永 祐介
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0217869

【書類名】 特許請求の範囲**【請求項 1】**

電流信号を入力し、電圧信号を出力するスイッチトキャパシタフィルタであって、
前記電流信号の入力端と基準電圧との間に設けられた第 1 の容量素子と、
前記入力端と前記第 1 の容量素子との間に設けられたスイッチトキャパシタ回路と、
前記第 1 の容量素子および前記スイッチトキャパシタ回路に並列に設けられた第 2 の容量素子とを備えた
ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 2】

請求項 1 に記載のスイッチトキャパシタフィルタにおいて、
前記スイッチトキャパシタ回路は、
第 1 および第 2 の端子と、
一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第 3 および第 4 の容量素子と、
前記第 3 および第 4 の容量素子のそれぞれの他端と前記第 1 および第 2 の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、
前記スイッチ部は、前記第 3 の容量素子の他端を前記第 1 の端子に接続するとき、前記第 4 の容量素子の他端を前記第 2 の端子に接続する一方、前記第 3 の容量素子の他端を前記第 2 の端子に接続するとき、前記第 4 の容量素子の他端を前記第 1 の端子に接続するものであり、
前記第 2 の容量素子の静電容量は、前記第 3 および第 4 の容量素子のそれぞれの静電容量よりも大きい
ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 3】

請求項 2 に記載のスイッチトキャパシタフィルタにおいて、
前記第 1 から第 4 の容量素子は、いずれも MOS 容量である
ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 4】

請求項 1 に記載のスイッチトキャパシタフィルタにおいて、
前記スイッチトキャパシタ回路は、
前記第 1 の容量素子の側に設けられた第 1 の端子と、
前記入力端の側に設けられた第 2 の端子と、
一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、
前記複数の容量素子のそれぞれの他端と前記第 1 および第 2 の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、
前記スイッチ部は、前記複数の容量素子のいずれか一つ he 他端と前記第 2 の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第 1 の端子に接続するとき、他方の他端を前記第 2 の端子に接続する
ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 5】

請求項 4 に記載のスイッチトキャパシタフィルタにおいて、
前記第 1 および第 2 の容量素子ならびに前記複数の容量素子は、いずれも MOS 容量である
ことを特徴とするスイッチトキャパシタフィルタ。

【請求項 6】

入力クロックに基づいて生成した出力クロックを帰還させ、当該出力クロックを所定の特性にするフィードバックシステムであって、
前記クロックと帰還されたクロックとの位相差に基づいて、チャージ電流を生成するチャージポンプ回路と、

前記チャージ電流を入力とするループフィルタと、
前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成回路とを備え、
前記ループフィルタは、
前記チャージ電流の入力端と基準電圧との間に設けられた第1の容量素子と、
前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、
前記第1の容量素子および前記スイッチトキャパシタ回路に並列に設けられた第2の容量素子とを有する
ことを特徴とするフィードバックシステム。

【請求項7】

請求項6に記載のフィードバックシステムにおいて、
前記スイッチトキャパシタ回路は、
第1および第2の端子と、
一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3および第4の容量素子と、
前記第3および第4の容量素子のそれぞれの他端と前記第1および第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、
前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の端子に接続するものであり、
前記第2の容量素子の静電容量は、前記第3および第4の容量素子のそれぞれの静電容量よりも大きい
ことを特徴とするフィードバックシステム。

【請求項8】

請求項7に記載のフィードバックシステムにおいて、
前記入力クロックの立ち下がり変化に基づいて、互いに逆相の関係にある第1および第2の制御クロック、ならびに当該第1および第2の制御クロックのそれぞれの反転に相当する第3および第4の制御クロックを生成する制御クロック生成回路を備え、
前記スイッチ部は、
前記第1の制御クロックに応じて、前記第3の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、
前記第2の制御クロックに応じて、前記第4の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、
前記第3の制御クロックに応じて、前記第3の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチと、
前記第4の制御クロックに応じて、前記第4の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチとを有する
ことを特徴とするフィードバックシステム。

【請求項9】

請求項7に記載のフィードバックシステムにおいて、
前記第1から第4の容量素子は、いずれもMOS容量である
ことを特徴とするフィードバックシステム。

【請求項10】

請求項6に記載のフィードバックシステムにおいて、
前記スイッチトキャパシタ回路は、
前記第1の容量素子の側に設けられた第1の端子と、
前記入力端の側に設けられた第2の端子と、
一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、

前記複数の容量素子のそれぞれの他端と前記第 1 および第 2 の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものであり、

前記スイッチ部は、前記複数の容量素子のいずれか一つの他端と前記第 2 の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第 1 の端子に接続するとき、他方の他端を前記第 2 の端子に接続することを特徴とするフィードバックシステム。

【請求項 1 1】

請求項 1 0 に記載のフィードバックシステムにおいて、

前記入力クロックの立ち下がり変化に基づいて、前記複数の容量素子の個数に相当する互いに相が異なる複数の制御クロック、および当該複数の制御クロックのそれぞれの反転に相当する複数の反転制御クロックを生成する制御クロック生成回路を備え、

前記スイッチ部は、

前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記制御クロックに応じて、当該容量素子の他端と前記第 1 の端子との接続の有無を切り替える複数のスイッチと、

前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記反転制御クロックに応じて、当該容量素子の他端と前記第 2 の端子との接続の有無を切り替える複数のスイッチとを有する

ことを特徴とするフィードバックシステム。

【請求項 1 2】

請求項 1 0 に記載のフィードバックシステムにおいて、

前記第 1 および第 2 の容量素子ならびに前記複数の容量素子は、いずれも MOS 容量である

ことを特徴とするフィードバックシステム。

【書類名】明細書

【発明の名称】スイッチトキャパシタフィルタおよびフィードバックシステム

【技術分野】

【0001】

本発明は、スイッチトキャパシタフィルタに関し、特に、位相同期回路や遅延ロックス回路などのフィードバックシステムにおけるループフィルタとして好適なスイッチトキャパシタフィルタの技術に関する。

【背景技術】

【0002】

今日、システムLSIに搭載される機能はますます増えつつあり、システムLSIの回路規模は増大する傾向にある。このため、システムLSIの回路規模縮小は普遍的な問題となっている。

【0003】

システムLSIには必ずと言ってよいほど位相同期回路（以下、「PLL」と称する）が搭載されている。PLLには、応答時間の最大値を入力クロックの周波数のおよそ10分の1以上に大きくすることができないという制約がある。このため、PLLを構成するループフィルタのCR積を比較的大きく設定する必要がある。比較的大きなCR積を実現するためには、ループフィルタを構成する容量素子の容量値を大きく設定するのが一般的である。したがって、PLLの構成要素の中でもループフィルタはPLLの回路面積の大部分を占めることとなる。そして、PLLにおいて入力クロックの周波数が低くなればなるほど応答時間は長くなるため、ループフィルタを構成する容量素子の容量値をさらに大きく設定する必要がある。その結果、PLLの回路規模はますます大きくなってしまふ。このような問題を解決するためにも、ループフィルタの回路規模縮小が求められるところである。

【0004】

PLLに用いられるループフィルタの回路規模を縮小する技術として、本願筆頭発明者らによる特願2003-185573号明細書に開示された技術が挙げられる。図16は、同明細書に開示された発明（以下、「先願発明」と称する）に係るループフィルタの回路構成を示す。当該ループフィルタは、入力端IN1に接続された容量素子310（容量値C）と、入力端IN2に接続された抵抗素子320（抵抗値R）および容量素子330（容量値C₃）と、容量素子310と抵抗素子320との間に設けられた電圧バッファ回路350とを備えている。入力端IN1およびIN2には、それぞれ、2系統のチャージポンプ回路から充放電電流（チャージ電流）I_{p1}およびI_{p2}が与えられる。そして、当該ループフィルタは、抵抗素子320および容量素子330の接続箇所が生じる電圧V_{out}を出力する。当該ループフィルタにおいて、抵抗素子320に与える電流に対して容量素子310に与える電流を小さく設定することによって、抵抗素子320の抵抗値を増大させることなく容量素子310の容量値のみを低減して、従来のループフィルタと同等のCR積、すなわち、従来と同等のフィルタ特性が実現される。また、容量素子310および330のそれぞれには十分な電圧が印加されるため、これら容量素子をMOS容量で実現可能となる。これらにより、容量素子310および330が小型化され、ループフィルタ全体としての回路規模が縮小される。

【0005】

当該ループフィルタにおいては、抵抗素子320に十分な大きさの電圧が生じるようにする必要がある。このため、抵抗素子320に流れる電流値を比較的大きく設定するか、または、抵抗素子320の抵抗値を比較的大きく設定する必要がある。しかし、いずれの場合も、抵抗素子320による消費電力が比較的大きくなってしまふため好ましくない。特に、抵抗素子320はノイズ発生の原因となるため、その抵抗値を大きくすることは避けることが好ましい。

【0006】

一方、ループフィルタにおける抵抗素子に起因するノイズを低減するために、抵抗素子

に代えてスイッチトキャパシタ回路を備えたループフィルタが公知となっている（たとえば、特許文献1参照）。図17は、スイッチトキャパシタ回路を備えた従来のループフィルタの回路構成を示す。当該ループフィルタは、入力端INに接続された容量素子310（容量値C）および330（容量値C₃）と、容量素子310に接続されたスイッチトキャパシタ回路320Aとを備え、容量素子310および330の接続箇所に生じる電圧V_{out}を出力する。スイッチトキャパシタ回路320Aは、容量素子340（容量値C_R）と、容量素子340の接続先を切り替えるスイッチQ1およびQ2とを備えている。スイッチトキャパシタ回路320Aは、実質的に抵抗値Rを呈する。このような構成によって、ループフィルタから抵抗素子を省略して、抵抗素子に起因するノイズが低減される。

【特許文献1】米国特許第6420917号明細書（第6-7頁、第4図）

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述したように、先願発明に係るループフィルタについては、回路規模が縮小される反面、消費電力が比較的大きいという問題がある。また、容量素子310をMOS容量で実現するには、電圧バッファ回路350が必要となる。しかし、電圧バッファ回路350もまたノイズ発生の原因となる。このため、電圧バッファ回路350を省略することが好ましい。

【0008】

一方、スイッチトキャパシタ回路を備えた従来のループフィルタについては、抵抗素子および電圧バッファ回路を備えていないため、これらに起因するノイズはあまり問題とはならない。しかし、容量素子310は従来と同様に比較的大きいままであり、回路規模の縮小は困難である。また、スイッチQ1がオンとなると、容量素子340は容量素子310と直列に接続されるため、容量素子340に十分な電圧を印加することが困難である。したがって、容量素子340をMOS容量で実現することは困難である。MOS容量を構成するMOSトランジスタには、当該MOSトランジスタの閾値以上の電圧が印加される必要があるからである。

【0009】

上記問題に鑑み、本発明は、スイッチトキャパシタ回路を備えたスイッチトキャパシタフィルタの回路規模の縮小を課題とする。特に、電圧バッファ回路を設けることなく、すべての容量素子をMOS容量で実現したスイッチトキャパシタフィルタの提供を課題とする。

【課題を解決するための手段】

【0010】

上記課題を解決するために本発明が講じた手段は、電流信号を入力し、電圧信号を出力するスイッチトキャパシタフィルタであって、前記電流信号の入力端と基準電圧との間に設けられた第1の容量素子と、前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、前記第1の容量素子および前記スイッチトキャパシタ回路に並列に設けられた第2の容量素子とを備えたものとする。

【0011】

これによると、スイッチトキャパシタ回路が抵抗素子として機能することにより、当該スイッチトキャパシタフィルタは2次の受動型ローパスフィルタとして動作する。通常、スイッチトキャパシタ回路は一また複数の容量素子で構成される。したがって、当該スイッチトキャパシタフィルタはすべて容量素子で構成されることとなる。ここで、スイッチトキャパシタ回路は入力端と第1の容量素子との間に設けられているため、当該スイッチトキャパシタ回路における容量素子が入力端側に接続される場合、当該容量素子には十分な大きさの電圧が印加される。したがって、当該容量素子の静電容量を小型化することができる。その結果、当該スイッチトキャパシタフィルタ全体としての回路規模が縮小され

これによると、スイッチトキャパシタ回路が抵抗素子として機能することにより、当該スイッチトキャパシタフィルタは2次の受動型ローパスフィルタとして動作する。通常、

スイッチトキャパシタ回路は一また複数の容量素子で構成される。したがって、当該スイッチトキャパシタフィルタはすべて容量素子で構成されることとなる。ここで、スイッチトキャパシタ回路は入力端と第1の容量素子との間に設けられているため、当該スイッチトキャパシタ回路における容量素子が入力端側に接続される場合、当該容量素子には十分な大きさの電圧が印加される。したがって、当該容量素子の静電容量を小型化することができる。その結果、当該スイッチトキャパシタフィルタ全体としての回路規模が縮小される。

【0012】

具体的には、前記スイッチトキャパシタ回路は、第1および第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3および第4の容量素子と、前記第3および第4の容量素子のそれぞれの他端と前記第1および第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものとする。また、前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の端子に接続するものとする。そして、前記第2の容量素子の静電容量は、前記第3および第4の容量素子のそれぞれの静電容量よりも大きいものとする。

【0013】

このように、第2の容量素子の静電容量を、スイッチトキャパシタ回路における第3および第4の容量素子の静電容量よりも大きく設定することによって、当該スイッチトキャパシタフィルタは、一般的な2次受動型ローパスフィルタと同等のフィルタ特性を有するようになる。

【0014】

好ましくは、前記第1から第4の容量素子は、いずれもMOS容量であるとする。

【0015】

また、具体的には、前記スイッチトキャパシタ回路は、前記第1の容量素子の側に設けられた第1の端子と、前記入力端の側に設けられた第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、前記複数の容量素子のそれぞれの他端と前記第1および第2の端子のそれぞれとの接続形態を切り替えるスイッチ部とを有するものとする。また、前記スイッチ部は、前記複数の容量素子のいずれか一つ他端と前記第2の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第1の端子に接続するとき、他方の他端を前記第2の端子に接続するものとする。

【0016】

好ましくは、前記第1および第2の容量素子ならびに前記複数の容量素子は、いずれもMOS容量であるとする。

【0017】

また、本発明が講じた手段は、入力クロックに基づいて生成した出力クロックを帰還させ、当該出力クロックを所定の特性にするフィードバックシステムであって、前記クロックと帰還されたクロックとの位相差に基づいて、チャージ電流を生成するチャージポンプ回路と、前記チャージ電流を入力とするループフィルタと、前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する出力クロック生成回路とを備え、前記ループフィルタは、前記チャージ電流の入力端と基準電圧との間に設けられた第1の容量素子と、前記入力端と前記第1の容量素子との間に設けられたスイッチトキャパシタ回路と、前記第1の容量素子および前記スイッチトキャパシタ回路に並列に設けられた第2の容量素子とを有するものとする。

【0018】

これによると、スイッチトキャパシタ回路が抵抗素子として機能することにより、当該ループフィルタは2次の受動型ローパスフィルタとして動作する。通常、スイッチトキャパシタ回路は一また複数の容量素子で構成される。したがって、当該スイッチトキャパシ

タフィルタはすべて容量素子で構成されることとなる。ここで、スイッチトキャパシタ回路はチャージ電流の入力端と第1の容量素子との間に設けられているため、当該スイッチトキャパシタ回路における容量素子が入力端側に接続される場合、当該容量素子には十分な大きさの電圧が印加される。したがって、当該容量素子の静電容量を小型化することができる。その結果、当該ループフィルタ全体としての、さらには、フィードバックシステム全体としての回路規模が縮小される。

【0019】

具体的には、前記スイッチトキャパシタ回路は、第1および第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する第3および第4の容量素子と、前記第3および第4の容量素子のそれぞれの他端と前記第1および第2の端子のそれぞれの接続形態を切り替えるスイッチ部とを有するものとする。また、前記スイッチ部は、前記第3の容量素子の他端を前記第1の端子に接続するとき、前記第4の容量素子の他端を前記第2の端子に接続する一方、前記第3の容量素子の他端を前記第2の端子に接続するとき、前記第4の容量素子の他端を前記第1の端子に接続するものとする。そして、前記第2の容量素子の静電容量は、前記第3および第4の容量素子のそれぞれの静電容量よりも大きいものとする。

【0020】

さらに具体的には、上記フィードバックシステムは、前記入力クロックの立ち下がり変化に基づいて、互いに逆相の関係にある第1および第2の制御クロック、ならびに当該第1および第2の制御クロックのそれぞれの反転に相当する第3および第4の制御クロックを生成する制御クロック生成回路を備えたものとする。そして、前記スイッチ部は、前記第1の制御クロックに応じて、前記第3の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、前記第2の制御クロックに応じて、前記第4の容量素子の他端と前記第1の端子との接続の有無を切り替えるスイッチと、前記第3の制御クロックに応じて、前記第3の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチと、前記第4の制御クロックに応じて、前記第4の容量素子の他端と前記第2の端子との接続の有無を切り替えるスイッチとを有するものとする。

【0021】

このように、第2の容量素子の静電容量を、スイッチトキャパシタ回路における第3および第4の容量素子の静電容量よりも大きく設定することによって、当該ループフィルタは、一般的な2次受動型ローパスフィルタと同等のフィルタ特性を有するようになる。

【0022】

好ましくは、前記第1から第4の容量素子は、いずれもMOS容量であるとする。

【0023】

また、具体的には、前記スイッチトキャパシタ回路は、前記第1の容量素子の側に設けられた第1の端子と、前記入力端の側に設けられた第2の端子と、一端に基準電圧が与えられ、互いに実質的に同じ大きさの静電容量を有する少なくとも三つの複数の容量素子と、前記複数の容量素子のそれぞれの他端と前記第1および第2の端子のそれぞれの接続形態を切り替えるスイッチ部とを有するものとする。そして、前記スイッチ部は、前記複数の容量素子のいずれか一つの他端と前記第2の端子との接続を維持しながら、前記複数の容量素子の他の二つについて、いずれか一方の他端を前記第1の端子に接続するとき、他方の他端を前記第2の端子に接続するものとする。

【0024】

さらに具体的には、上記フィードバックシステムは、前記入力クロックの立ち下がり変化に基づいて、前記複数の容量素子の個数に相当する互いに相が異なる複数の制御クロック、および当該複数の制御クロックのそれぞれの反転に相当する複数の反転制御クロックを生成する制御クロック生成回路を備えたものとする。そして、前記スイッチ部は、前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する前記制御クロックに応じて、当該容量素子の他端と前記第1の端子との接続の有無を切り替える複数のスイッチと、前記複数の容量素子のそれぞれに対応して設けられ、当該容量素子に対応する

前記反転制御クロックに応じて、当該容量素子の他端と前記第2の端子との接続の有無を切り替える複数のスイッチとを有するものとする。

【0025】

好ましくは、前記第1および第2の容量素子ならびに前記複数の容量素子は、いずれもMOS容量であるとする。

【発明の効果】

【0026】

以上説明したように、本発明によると、従来と同等のフィルタ特性を有しつつ、回路規模がより縮小されたスイッチトキャパシタフィルタが得られる。また、当該スイッチトキャパシタフィルタは、抵抗素子および電圧バッファ回路を含まず、すべて容量素子で構成されるため、入力電流を小さくすることで当該容量素子がすべて小型化され、回路全体としての規模が小型化される。さらに、当該スイッチトキャパシタをフィードバックシステムのループフィルタとして用いる場合、当該ループフィルタの入力電流であるチャージ電流を小さくすることによって、チャージポンプ回路を小型化することができる。結果として、フィードバックシステム全体としての回路規模が大幅に縮小される。

【発明を実施するための最良の形態】

【0027】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【0028】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るPLLの構成を示す。本実施形態に係るPLLは、位相比較器10と、チャージポンプ回路20と、ループフィルタ(LPF)30と、出力クロック生成回路としての電圧制御発振器(VCO)40と、分周器50と、制御クロック生成回路60とを備えている。位相比較器10は、PLLに与えられる入力クロックCK_{in}と帰還クロックCK_{div}との位相を比較し、この位相差に応じたアップ信号UPおよびダウン信号DNを出力する。チャージポンプ回路20は、アップ信号UPおよびダウン信号DNに基づいて、チャージ電流I_pを出力(吐き出しまたは吸い込み)する。電圧制御発振器40は、ループフィルタ30から出力された電圧V_{out}に基づいて、PLLの出力クロックCK_{out}の周波数を変化させる。分周器50は、出力クロックCK_{out}をN(Nは自然数)分周し、帰還クロックCK_{div}として位相比較器10にフィードバックする。以上の動作を繰り返すうちに、出力クロックCK_{out}は次第に所定の周波数に収束し、ロックされる。以下、ループフィルタ30および制御クロック生成回路60の構成および動作について詳細に説明する。

【0029】

制御クロック生成回路60は、入力クロックCK_{in}に基づいて制御クロックφ₁、φ₁/φ₂およびφ₂を生成し、ループフィルタ30にこれら制御クロックを出力する。図2は、制御クロック生成回路60の回路構成を示す。また、図3は、制御クロック生成回路60のタイミングチャートである。インバータ61は、入力クロックCK_{in}を反転し、クロック/CK_{in}を出力する。Dフリップフロップ62は、クロック/CK_{in}の立ち上がり変化に同期して極性が反転するクロックCK_{org}およびその反転であるクロック/CK_{org}を出力する。インバータ631およびNANDゲート641および651からなる回路部分は、クロック/CK_{org}に基づいて制御クロックφ₁およびその反転である制御クロック/φ₁を生成する。インバータ632およびNANDゲート642および652からなる回路部分は、クロックCK_{org}に基づいて制御クロックφ₂およびその反転である制御クロック/φ₂を生成する。すなわち、制御クロック生成回路60は、入力クロックCK_{in}の立ち下がり変化に応じて極性が反転する制御クロックφ₁、φ₁/φ₂およびφ₂を出力する。

【0030】

ループフィルタ30は、チャージ電流I_pを受け、当該チャージ電流I_pに起因して生じた電圧を平滑化し、電圧V_{out}として出力する。図4は、ループフィルタ30の回路

構成を示す。ループフィルタ 30 は、MOS 容量 31 と、スイッチトキャパシタ回路 32 と、MOS 容量 33 とを備えている。MOS 容量 31 の一端は基準電圧としてのグランドに接続され、他端はスイッチトキャパシタ回路 32 の端子 T1 に接続されている。MOS 容量 33 の一端は基準電圧としてのグランドに接続され、他端はチャージ電流 I_p の入力端およびスイッチトキャパシタ回路 32 の端子 T2 に接続されている。ループフィルタ 30 は、スイッチトキャパシタ回路 32 と MOS 容量 33 との接続箇所が生じた電圧 V_{out} を出力する。

【0031】

スイッチトキャパシタ回路 32 は、MOS 容量 321 および 322 と、MOS 容量 321 および 322 のそれぞれと端子 T1 および T2 のそれぞれとの接続形態を切り替えるスイッチ部 324 とを備えた、いわゆる P. S. 型 (Parasitic Sensitive: 寄生容量有感型) と呼ばれるものである。スイッチ部 324 は、制御クロック ϕ_1 に応じて MOS 容量 321 と端子 T1 との接続の有無を切り替えるスイッチ SW11 と、制御クロック ϕ_1 に応じて MOS 容量 321 と端子 T2 との接続の有無を切り替えるスイッチ SW12 と、制御クロック ϕ_2 に応じて MOS 容量 322 と端子 T1 との接続の有無を切り替えるスイッチ SW21 と、制御クロック ϕ_2 に応じて MOS 容量 322 と端子 T2 との接続の有無を切り替えるスイッチ SW22 とを備えている。なお、制御クロック ϕ_1 、 ϕ_1 、 ϕ_2 および ϕ_2 は、制御クロック生成回路 60 から与えられる。

【0032】

MOS 容量 31 の容量値は C である。これは、先願発明に係るループフィルタ (図 16 参照) における容量素子 310 と同等の容量値である。MOS 容量 321 および 322 の容量値はいずれも C_R である。また、スイッチトキャパシタ回路 32 が呈する抵抗値は R である。これは、先願発明に係るループフィルタにおける抵抗素子 320 と同等の抵抗値である。ここで、スイッチトキャパシタ回路 32 における各スイッチ SW11、SW12、SW21 および SW22 の動作周波数を f_{clk} とすると、 $R = 1 / f_{clk} C_R$ という関係式が成り立つ。すなわち、スイッチトキャパシタ回路 32 が呈する抵抗値をより大きくするには、MOS 容量 321 および 322 の容量値をより小さくすればよい。ループフィルタ 30 に与えられるチャージ電流 I_p を小さくする場合、スイッチトキャパシタ回路 32 が呈する抵抗値を大きくしなければならないことは既に説明した通りであるが、当該抵抗値を大きくするには、MOS 容量 321 および 322 を小さくすればよい。すなわち、チャージ電流 I_p を小さくすることで、MOS 容量 321 および 322 の小型化が可能となる。また、チャージ電流 I_p が小さくなることによって、MOS 容量 31 および 33 もまた小型化される。結果として、ループフィルタ 30 全体としての回路規模が小さくなる。

【0033】

一方、MOS 容量 33 の容量値は C_x である。これは、各 MOS 容量 321 および 322 の容量値 C_R と先願発明に係るループフィルタにおける容量素子 330 の容量値 C_3 との合計に相当する。なお、容量値 C_3 については、大きくとも MOS 容量 31 の容量値 C の $1/5 \sim 1/6$ 程度にすると最も安定した応答が得られる。この詳細については、たとえば、文献: F.M. GARDNER, "CHARGE-PUMP PHASE-LOCKED LOOPS", IEEE TRANS., VOL. COM-28, PP. 1849-1858, NOV. 1980 に記載されている。

【0034】

ところで、図 1 に示した PLL における位相比較記 10 から出力される信号のうちたとえば信号 UP は、入力クロック CK_{in} の位相が出力クロック CK_{out} の位相よりも進んでいる場合、入力クロック CK_{in} が立ち上がり変化をしてから出力クロック CK_{out} が立ち上がり変化をするまでの間、所定の論理レベル、たとえば "H" となる (図 3 参照)。信号 UP が "H" となっている間、チャージポンプ回路 20 からループフィルタ 30 にチャージ電流 I_p が出力される。チャージ電流 I_p を受けている間は、スイッチ部 324 の動作状態は変化してはならない。もし変化してしまうと、スイッチトキャパシタ回路 32 における MOS 容量 321 および 322 への電荷の充放電が途切れてしまい、ループフィルタ 30 が正常に動作しなくなるおそれがあるからである。本実施形態に係る制御

クロック生成回路60によって生成される制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ および $\phi 2$ は、入力クロックCKinの立ち下がり変化から次の立ち下がり変化までの間、極性が反転することはないため、MOS容量321および322への電荷の充放電が途切れてしまうことはない。信号UPおよびDNの出力は、いずれも、入力クロックCKinの連続する立ち下がり変化の間に必ず終了するからである。したがって、制御クロック生成回路60によって生成された各制御クロックに基づいてスイッチトキャパシタ回路32の動作を制御することにより、ループフィルタ30の正常動作が保証される。

【0035】

次に、ループフィルタ30が一般的な能動型2次ループフィルタと同等のフィルタ特性を有することを、先願発明に係るループフィルタの回路構成を変換してループフィルタ30を得るまでの過程を示しながら説明する。図5は、先願発明に係るループフィルタにおける抵抗素子を単純にスイッチトキャパシタ回路に置き換えたループフィルタの回路構成を示す。先願発明に係るループフィルタにおける抵抗素子を単純に2相クロック制御のスイッチトキャパシタ回路32に置き換えただけの当該ループフィルタは正常に動作しない。これは次の理由による。すなわち、チャージ電流Ip2の入力側に接続されたMOS容量321および322のいずれか一方について、チャージ電流Ipによる充放電が終了した後、制御クロック $\phi 1$ および $\phi 2$ の極性が反転し、当該MOS容量は電圧バッファ回路35の側に接続される。当該接続がされると、当該MOS容量は電圧バッファ回路35の出力端の電位にリセットされてしまう。この結果、スイッチトキャパシタ回路32が正常に動作しなくなり、ループフィルタ30が誤動作を起こしてしまうおそれがあるからである。なお、以下、チャージ電流Ip1およびIp2の大きさは等しいものとして説明する。

【0036】

上記の問題を解決するためには、制御クロック $\phi 1$ または $\phi 2$ の少なくとも1クロックの期間、チャージ電流Ipによって充放電された電荷を保持する必要がある。そのために、スイッチトキャパシタ回路を3相クロック制御にすることを考える。図6は、図5に示したループフィルタにおけるスイッチトキャパシタ回路を3相クロック制御に変更したループフィルタの回路構成を示す。当該スイッチトキャパシタ回路32Aにおいて、容量素子321、322および323のうちMOS容量33に接続されたいずれか一つは、他の二つの接続状態が切り替わるときでも、MOS容量33との接続状態を維持する。これにより、当該容量素子がバッファ電位にリセットされることはなくなり、スイッチトキャパシタ回路32Aの正常動作が保証される。なお、当該ループフィルタについては後ほど詳細に説明する。

【0037】

スイッチトキャパシタ回路32Aにおいて、容量素子321、322および323のいずれか二つの接続状態が切り替わるとき、残りの一つとMOS容量33との接続状態が維持されるということは、すなわち、MOS容量33と容量値CRの容量素子とが恒常的に並列接続された状態にあることに等しい。したがって、MOS容量33の容量値をスイッチトキャパシタ回路32Aにおける各容量素子321、322および323の容量値CRだけ増やすことによって、3相クロック制御のスイッチトキャパシタ回路32Aに代えて2相クロック制御のスイッチトキャパシタ回路を用いることができる。すなわち、図5に示したスイッチトキャパシタ回路32に変更することができる。図7は、図6に示したループフィルタにおけるスイッチトキャパシタ回路を2相クロック制御に変更したループフィルタの回路構成を示す。当該ループフィルタと図5に示したループフィルタとの異なる点は、図5に示したループフィルタにおけるMOS容量33の容量値がC3であるのに対して、当該ループフィルタにおけるMOS容量33の容量値はC3+CRである点である。

【0038】

一般に、電圧バッファ回路は電源に接続されているため、当該電源を介してループフィルタにノイズが伝わるおそれがある。また、電圧バッファ回路は、それ自体が電力を消費

する。このため、電圧バッファ回路 35 は省略するのが望ましい。そこで、図 7 に示したループフィルタから電圧バッファ回路 35 を取り除くことを考える。図 8 は、図 7 に示したループフィルタにおける電圧バッファ回路を省略したループフィルタの回路構成を示す。図 7 に示したループフィルタから電圧バッファ回路 35 を取り除く場合、MOS 容量 31 はチャージ電流 I_{p1} および I_{p2} の合成電流によって充放電されるため、充放電のスピードが 2 倍になってしまう。したがって、MOS 容量 31 の容量値を 2 倍、すなわち、 $2C$ にして、電圧バッファ回路 35 が設けられている場合と同等の充放電スピードとなるようにする。

【0039】

さらに、チャージ電流入力を 1 系統にすることを考える。図 9 は、図 8 に示したループフィルタを 1 系統のチャージ電流入力に変更したループフィルタの回路構成を示す。図 8 に示したループフィルタにおいて、MOS 容量 31 は、チャージ電流 I_{p1} および I_{p2} の合成電流によって充放電が行われるため、チャージ電流入力を 1 系統にするには、当該チャージ電流の電流値を当該合成電流に相当する電流値（ここでは、チャージ電流 I_{p2} の 2 倍に相当する $2I_{p2}$ ）にすればよい。これに伴い、スイッチトキャパシタ回路 32 における各容量素子 321 および 322 の容量値ならびに MOS 容量 33 の容量値もそれぞれ 2 倍にする。

【0040】

図 9 に示したループフィルタは、図 4 に示した本実施形態に係るループフィルタ 30 における各容量素子の容量値およびチャージ電流値をそれぞれ 2 倍にした回路構成となっており、ループフィルタ 30 と実質的に同等の回路構成となっている。すなわち、本実施形態に係るループフィルタ 30 は、先願発明に係るループフィルタの回路構成を変換して得られるものであり、一般的な能動型 2 次ループフィルタと同等のフィルタ特性を有する。

【0041】

以上、本実施形態によると、ループフィルタが、抵抗素子および電圧バッファ回路を用いることなくすべて MOS 容量で構成されるため、ノイズの低減および消費電力の削減を図りながら、回路規模が縮小化される。また、チャージ電流 I_p を比較的小さく設定することによって、チャージポンプ回路 20 の回路規模が縮小化される。結果として、PLL 全体としての回路規模が大幅に縮小化される。

【0042】

なお、制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ および $\phi 2$ は、位相比較器 10 におけるリセットパルスに基づいて生成するようにしてもよい。図 10 は、位相比較器 10 からのリセットパルス RST に基づいて各制御クロックを生成する制御クロック生成回路 60' の回路構成を示す。また、図 11 は、制御クロック生成回路 60' のタイミングチャートである。リセットパルス RST は、D フリップフロップ 11 および 12 および NAND ゲート 13 からなる位相比較器 10 における NAND ゲート 13 から出力される。すなわち、リセットパルス RST は、信号 UP または DN が出力された後に出力される、ごく短いオンデューティのパルスである。制御クロック生成回路 60' は、入力クロック CK_{in} の反転に代えてリセットパルス RST を入力し、これに基づいて制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ および $\phi 2$ を生成し、出力する。上述したように、リセットパルス RST は、信号 UP または DN が出力された後に出力されるパルスであるため、信号 UP または DN の出力の最中に各制御クロックの極性が反転することはない。しかし、リセットパルス RST のパルス幅はごく短いため、D フリップフロップ 62 がリセットパルス RST の入力に反応しなくなるおそれがある。この場合、ループフィルタ 30 におけるスイッチトキャパシタ回路 32 は正常に動作しない。したがって、制御クロック生成回路 60' よりも制御クロック生成回路 60 を用いる方が好ましい。

(第 2 の実施形態)

図 12 は、本発明の第 2 の実施形態に係る PLL の構成を示す。本実施形態に係る PLL は、位相比較器 10 と、チャージポンプ回路 20 と、ループフィルタ 30 A と、電圧制御発振器 40 と、分周器 50 と、制御クロック生成回路 60 A とを備えている。このうち

、位相比較器 1 0、チャージポンプ回路 2 0、電圧制御発振器 4 0 および分周器 5 0 については、第 1 の実施形態で説明したとおりであるため、ここでの説明は省略する。以下、ループフィルタ 3 0 A および制御クロック生成回路 6 0 A の構成および動作について詳細に説明する。

【0 0 4 3】

制御クロック生成回路 6 0 A は、入力クロック CK_{in} に基づいて制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ 、 $\phi 2$ 、 $\phi 3$ および $\phi 3$ を生成し、ループフィルタ 3 0 A にこれら制御クロックを出力する。図 1 3 は、制御クロック生成回路 6 0 A の回路構成を示す。また、図 1 4 は、制御クロック生成回路 6 0 A のタイミングチャートである。インバータ 6 1 は、入力クロック CK_{in} を反転し、クロック $\phi 1$ を出力する。D フリップフロップ 6 2 1、6 2 2、6 2 3 および 6 2 4 は、クロック $\phi 1$ の立ち上がり変化に同期して動作する。D フリップフロップ 6 1 2 および 6 2 2 の出力は、それぞれ、NOR ゲート 6 6 の入力となる。NOR ゲート 6 6 の出力は、D フリップフロップ 6 2 1 のデータ入力である。インバータ 6 3 1 および NAND ゲート 6 4 1 および 6 5 1 からなる回路部分は、D フリップフロップ 6 2 2 からの反転出力に基づいて制御クロック $\phi 1$ およびその反転である制御クロック（反転制御クロック） $\phi 1$ を生成する。インバータ 6 3 2 および NAND ゲート 6 4 2 および 6 5 2 からなる回路部分は、D フリップフロップ 6 2 3 からの反転出力に基づいて制御クロック $\phi 2$ およびその反転である制御クロック（反転制御クロック） $\phi 2$ を生成する。そして、インバータ 6 3 3 および NAND ゲート 6 4 3 および 6 5 3 からなる回路部分は、D フリップフロップ 6 2 4 からの反転出力に基づいて制御クロック $\phi 3$ およびその反転である制御クロック（反転制御クロック） $\phi 3$ を生成する。上記構成の制御クロック生成回路 6 0 A から出力される制御クロック $\phi 1$ 、 $\phi 2$ および $\phi 3$ の相は互いに異なっている。すなわち、制御クロック生成回路 6 0 A は、入力クロック CK_{in} に基づいて 3 相の制御クロックを生成する。

【0 0 4 4】

図 1 5 は、ループフィルタ 3 0 A の回路構成を示す。ループフィルタ 3 0 A は、図 6 に示したループフィルタから電圧バッファ回路 3 5 を省略し、さらに、チャージ電流入力を 1 系統に変更したものに他ならない。

【0 0 4 5】

スイッチトキャパシタ回路 3 2 A は、MOS 容量 3 2 1、3 2 2 および 3 2 3 と、これら MOS 容量 3 2 1 ~ 3 2 3 のそれぞれと端子 T 1 および T 2 のそれぞれとの接続形態を切り替えるスイッチ部 3 2 4 A とを備えている。スイッチ部 3 2 4 A は、制御クロック $\phi 1$ に応じて MOS 容量 3 2 1 と端子 T 1 との接続の有無を切り替えるスイッチ SW 1 1 と、制御クロック $\phi 1$ に応じて MOS 容量 3 2 1 と端子 T 2 との接続の有無を切り替えるスイッチ SW 1 2 と、制御クロック $\phi 2$ に応じて MOS 容量 3 2 2 と端子 T 1 との接続の有無を切り替えるスイッチ SW 2 1 と、制御クロック $\phi 2$ に応じて MOS 容量 3 2 2 と端子 T 2 との接続の有無を切り替えるスイッチ SW 2 2 と、制御クロック $\phi 3$ に応じて MOS 容量 3 2 3 と端子 T 1 との接続の有無を切り替えるスイッチ SW 3 1 と、制御クロック $\phi 3$ に応じて MOS 容量 3 2 3 と端子 T 2 との接続の有無を切り替えるスイッチ SW 3 2 とを備えている。

【0 0 4 6】

スイッチトキャパシタ回路 3 2 A における MOS 容量 3 2 1 ~ 3 2 3 のいずれか二つについて接続先が切り替わるとき、残りの一つは MOS 容量 3 3 に接続されたままである。たとえば、制御クロック $\phi 1$ 、 $\phi 1$ 、 $\phi 2$ および $\phi 2$ のそれぞれの極性が反転するとき、制御クロック $\phi 3$ の論理レベルは“H”のままである（図 1 4 参照）。すなわち、MOS 容量 3 2 1 および 3 2 2 の接続先が切り替わるとき、MOS 容量 3 2 3 は引き続き MOS 容量 3 3 に並列に接続された状態である。したがって、MOS 容量 3 2 3 に充放電された電荷がリセットされることはなく、スイッチトキャパシタ回路 3 2 A の正常動作が保証される。

【0 0 4 7】

以上、本実施形態によると、ループフィルタが、抵抗素子および電圧バッファ回路を用いることなくすべてMOS容量で構成されるため、ノイズの低減および消費電力の削減を図りながら、回路規模が縮小化される。また、チャージ電流 I_p を比較的小さく設定することによって、チャージポンプ回路 20 の回路規模が縮小化される。結果として、PLL 全体としての回路規模が大幅に縮小化される。

【0048】

なお、スイッチトキャパシタ回路 32A に代えて、4 相以上のクロック制御によるスイッチトキャパシタ回路を設けてもよい。この場合、当該スイッチトキャパシタ回路におけるいずれか一つのMOS容量とMOS容量 33 との接続を維持しながら、当該スイッチトキャパシタ回路における他のMOS容量の接続先が切り替わるように、これらMOS容量の接続形態を制御すればよい。

【0049】

また、図 1 および図 12 のそれぞれに示したPLLにおいて、電圧制御発振器 40 に代えて出力クロック生成回路としての電圧制御遅延回路 (VCD) を設け、分周器 50 を省略して当該電圧制御遅延回路が出力する出力クロック CK_{out} を、直接、位相比較器 10 にフィードバックすることで、遅延ロックループ回路 (DLL) が構成される。

【産業上の利用可能性】

【0050】

本発明に係るスイッチトキャパシタフィルタは、従来のフィルタと同等のフィルタ特性を有しつつ回路規模が小型化されているため、多数のPLLを備えたマイクロプロセッサにおける当該PLLのループフィルタとして、また、回路規模が限定される半導体集積回路、たとえば、あまり大きな容量素子を実装することが困難なICカードなどにおけるPLLのループフィルタとして有用である。

【図面の簡単な説明】

【0051】

【図 1】 本発明の第 1 の実施形態に係る位相同期回路の構成図である。

【図 2】 図 1 に示した位相同期回路における制御クロック生成回路の回路構成図である。

【図 3】 図 2 に示した制御クロック生成回路のタイミングチャートである。

【図 4】 図 1 に示した位相同期回路におけるループフィルタの回路構成図である。

【図 5】 先願発明に係るループフィルタにおける抵抗素子を単純にスイッチトキャパシタ回路に置き換えたループフィルタの回路構成図である。

【図 6】 図 5 に示したループフィルタにおけるスイッチトキャパシタ回路を 3 相クロック制御に変更したループフィルタの回路構成図である。

【図 7】 図 6 に示したループフィルタにおけるスイッチトキャパシタ回路を 2 相クロック制御に変更したループフィルタの回路構成図である。

【図 8】 図 7 に示したループフィルタにおける電圧バッファ回路を省略したループフィルタの回路構成図である。

【図 9】 図 8 に示したループフィルタを 1 系統のチャージ電流入力に変更したループフィルタの回路構成図である。

【図 10】 位相比較器からのリセットパルスに基づいて各制御クロックを生成する制御クロック生成回路の回路構成図である。

【図 11】 図 10 に示した制御クロック生成回路のタイミングチャートである。

【図 12】 本発明の第 2 の実施形態に係る位相同期回路の構成図である。

【図 13】 図 12 に示した位相同期回路における制御クロック生成回路の回路構成図である。

【図 14】 図 13 に示した制御クロック生成回路のタイミングチャートである。

【図 15】 図 12 に示した位相同期回路におけるループフィルタの回路構成図である。

【図 16】 本願筆頭発明者らによる先願発明に係るループフィルタの回路構成図である。

る。

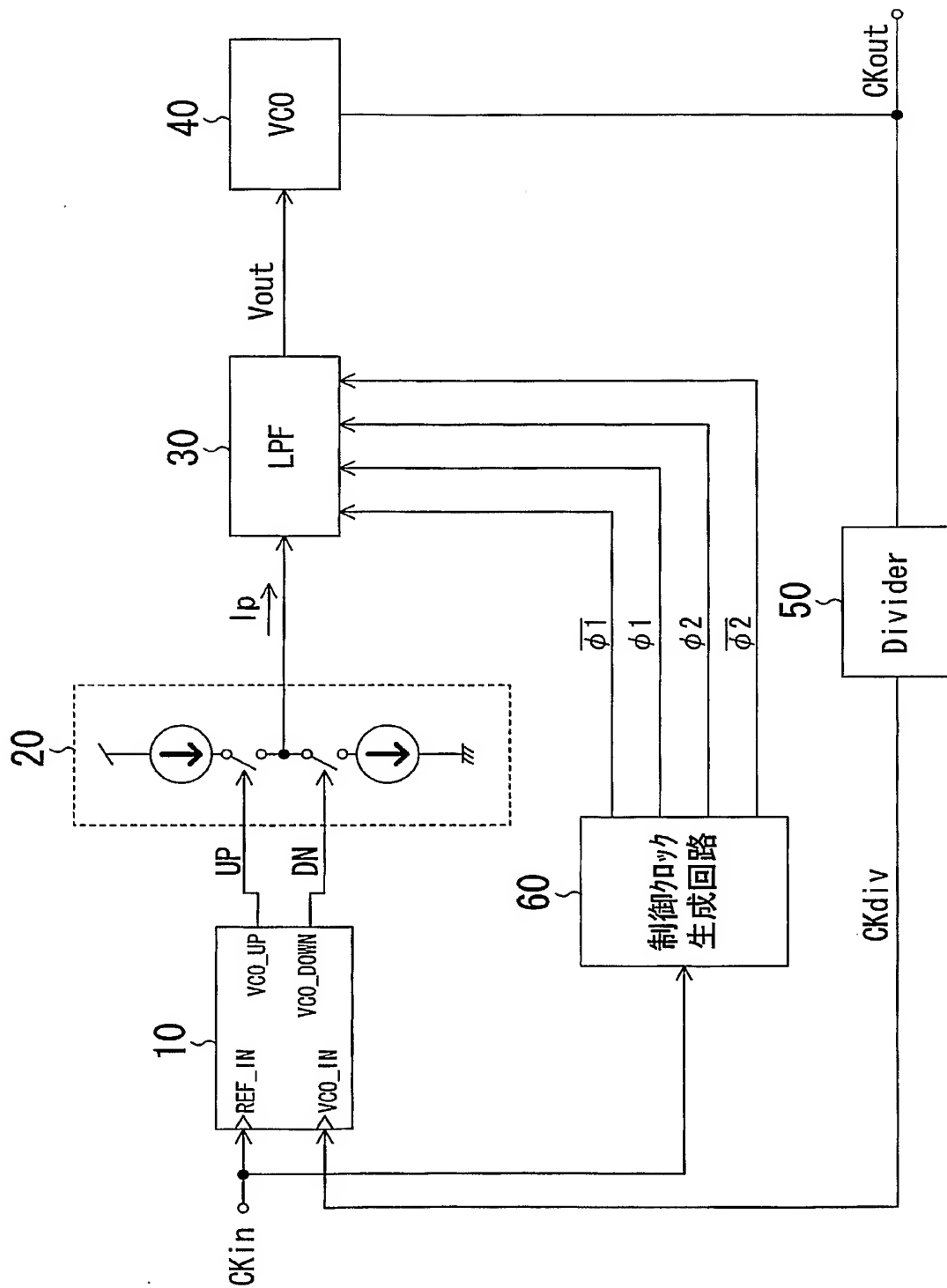
【図 1 7】スイッチトキャパシタ回路を備えた従来のループフィルタの回路構成図である。

【符号の説明】

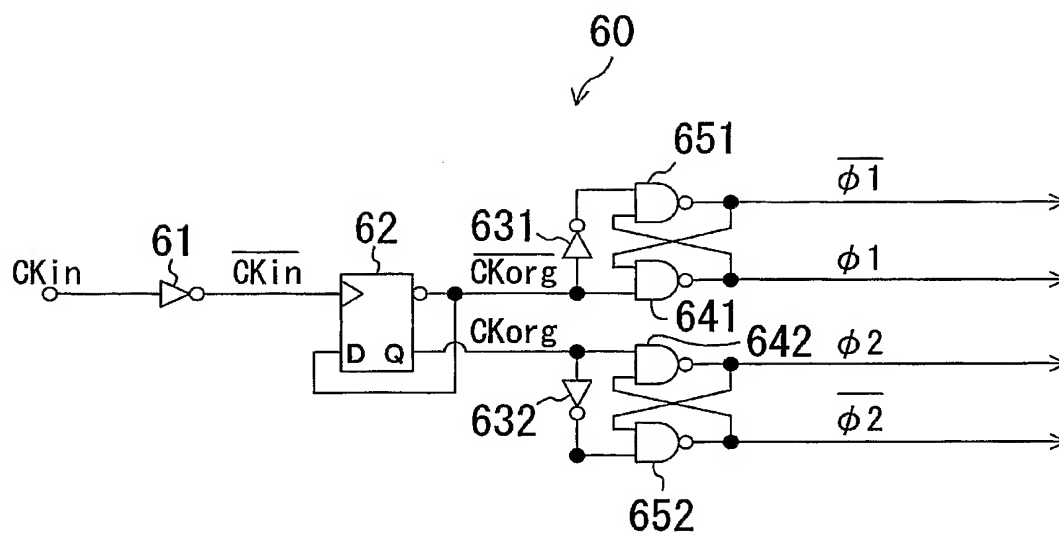
【0 0 5 2】

- 3 1 MOS 容量 (第 1 の容量素子)
- 3 2, 3 2 A スwitchトキャパシタ回路
- 3 3 MOS 容量 (第 2 の容量素子)
- 3 2 1 MOS 容量 (第 3 の容量素子、複数の容量素子のうちのひとつ)
- 3 2 2 MOS 容量 (第 4 の容量素子、複数の容量素子のうちのひとつ)
- 3 2 3 MOS 容量 (複数の容量素子のうちのひとつ)
- 3 2 4, 3 2 4 A スwitch部
- 2 0 チャージポンプ回路
- 3 0, 3 0 A ループフィルタ
- 4 0 電圧制御発振器 (出力クロック生成回路)
- 6 0, 6 0', 6 0 A 制御クロック生成回路
- T 1 端子 (第 1 の端子)
- T 2 端子 (第 2 の端子)
- SW 1 1, SW 1 2, SW 2 1, SW 2 2, SW 3 1, SW 3 2 スwitch
- ϕ 1 制御クロック (第 1 の制御クロック、複数の制御クロックのうちのひとつ)
- ϕ 2 制御クロック (第 2 の制御クロック、複数の制御クロックのうちのひとつ)
- ϕ 3 制御クロック (複数の制御クロックのうちのひとつ)
- $\neg \phi$ 1 制御クロック (第 3 の制御クロック、複数の反転制御クロックのうちのひとつ)
- $\neg \phi$ 2 制御クロック (第 4 の制御クロック、複数の反転制御クロックのうちのひとつ)
- $\neg \phi$ 3 制御クロック (複数の反転制御クロックのうちのひとつ)
- CK i n 入力クロック
- CK o u t 出力クロック

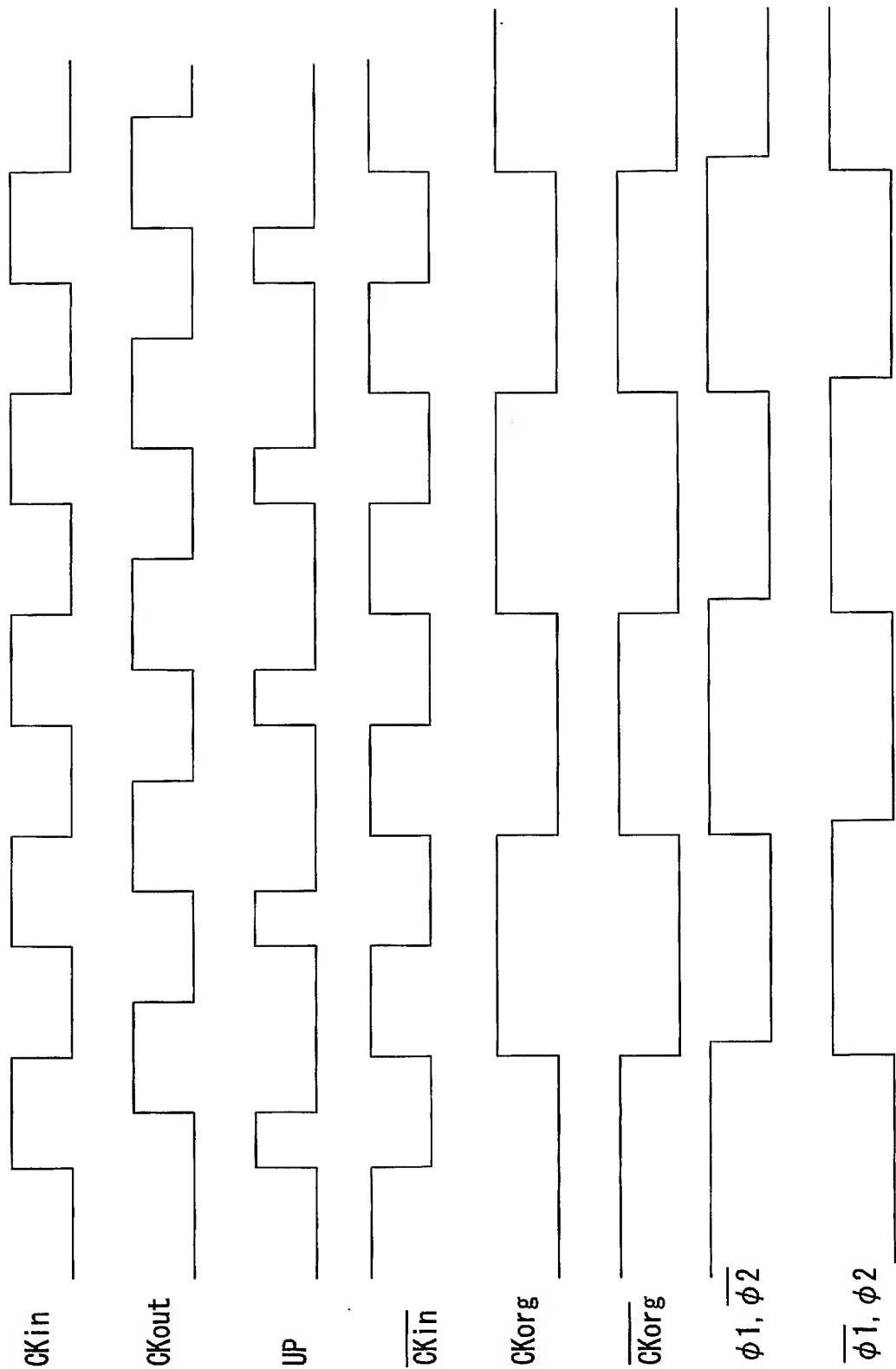
【書類名】 図面
【図 1】



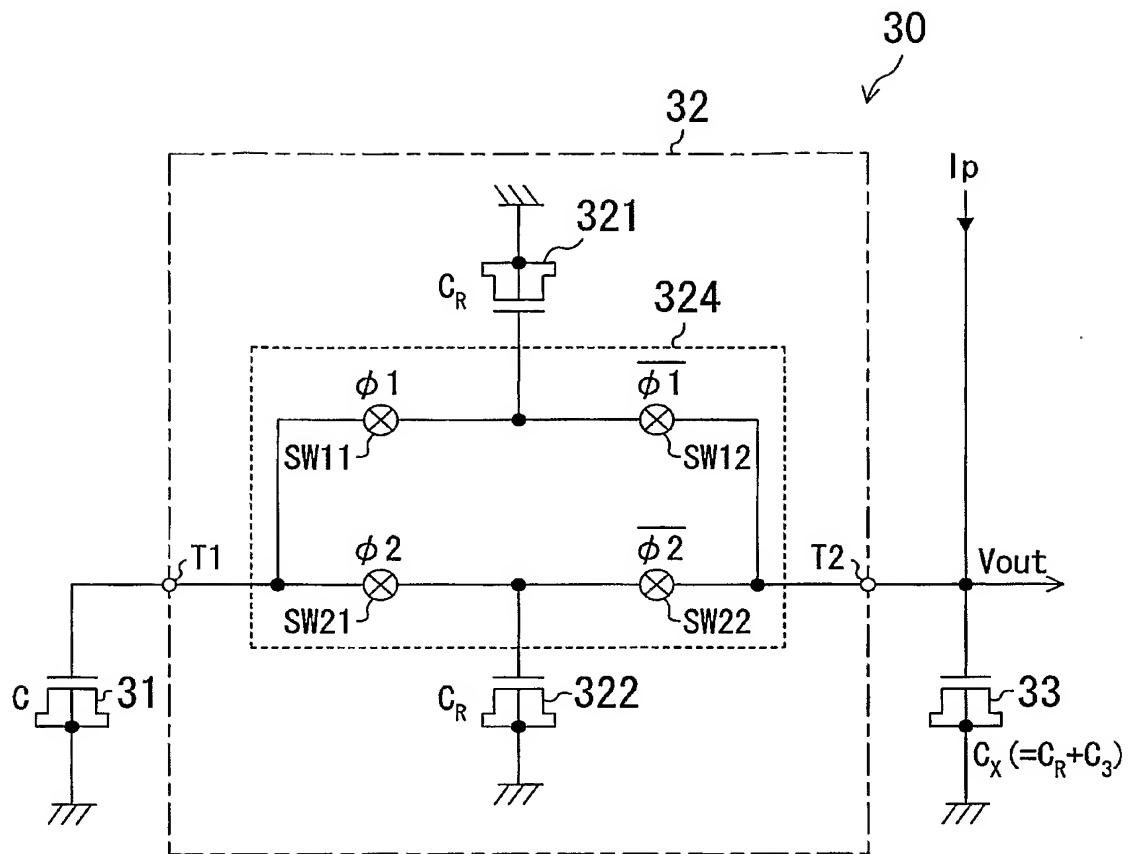
【図 2】



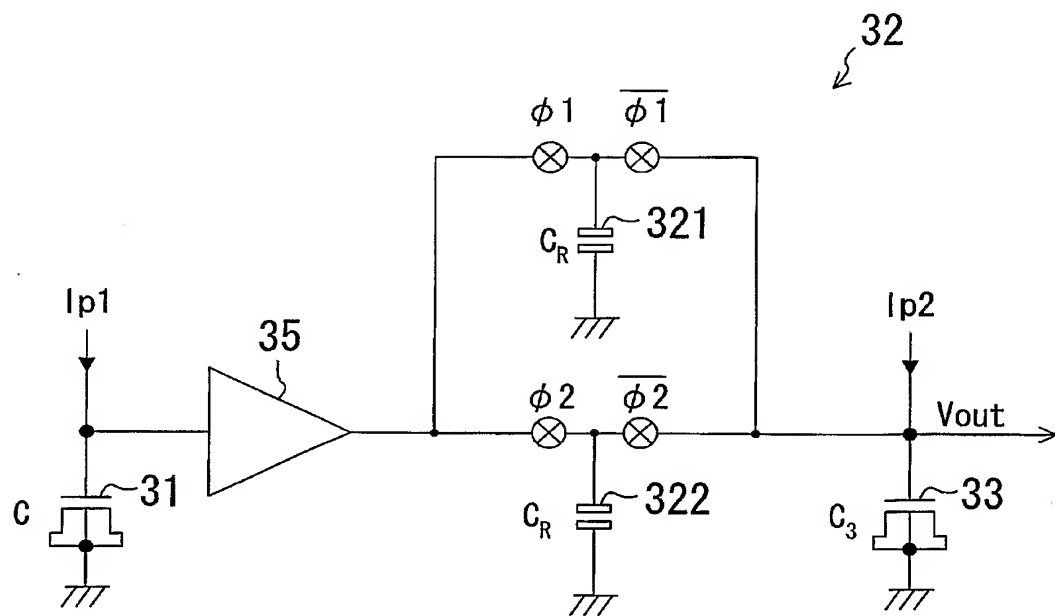
【図 3】



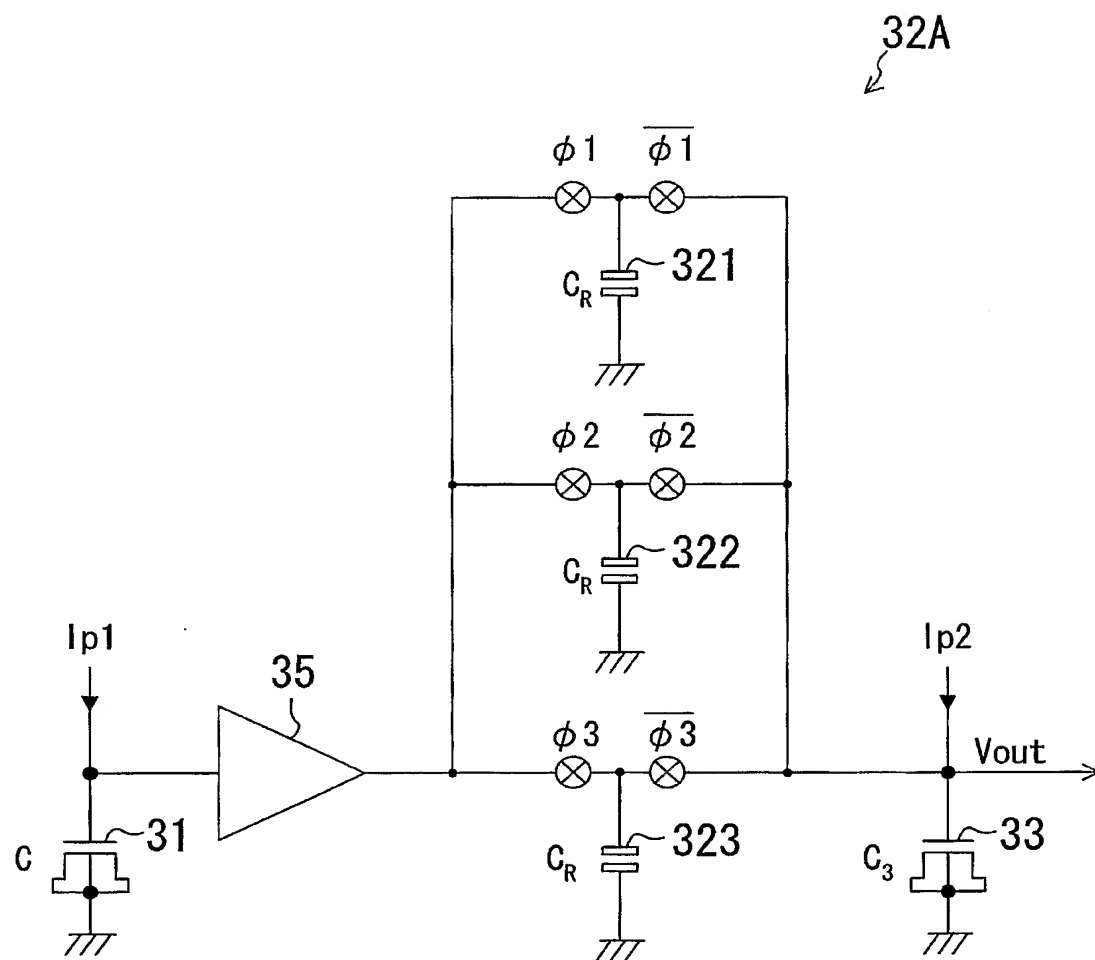
【図 4】



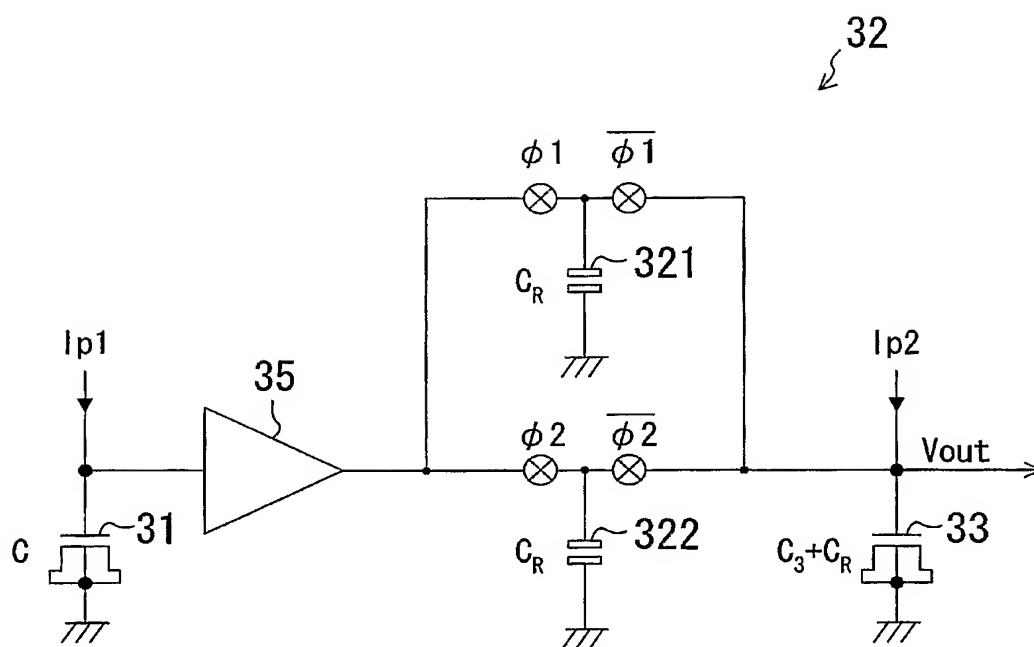
【図 5】



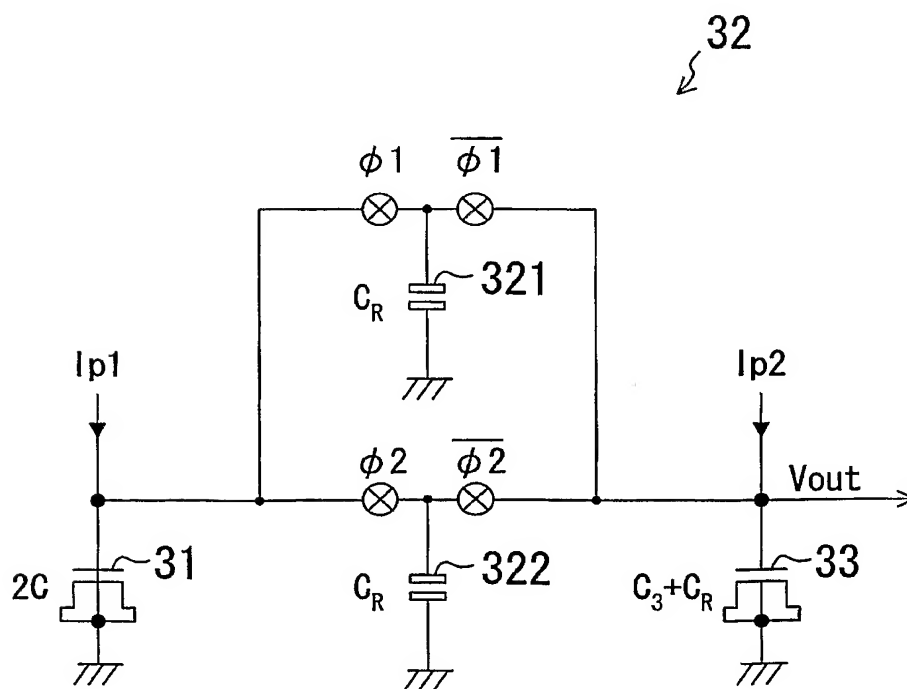
【図 6】



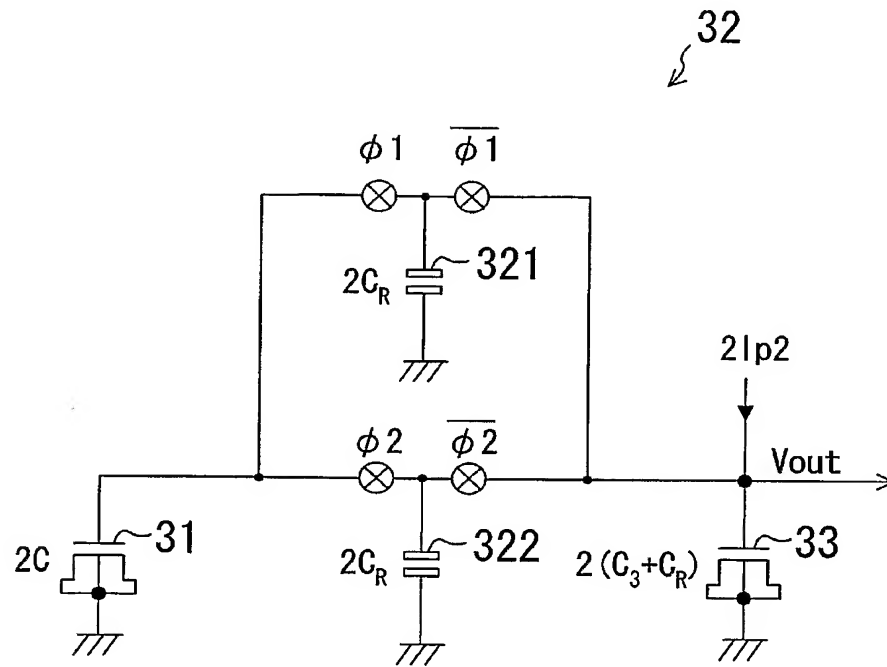
【図 7】



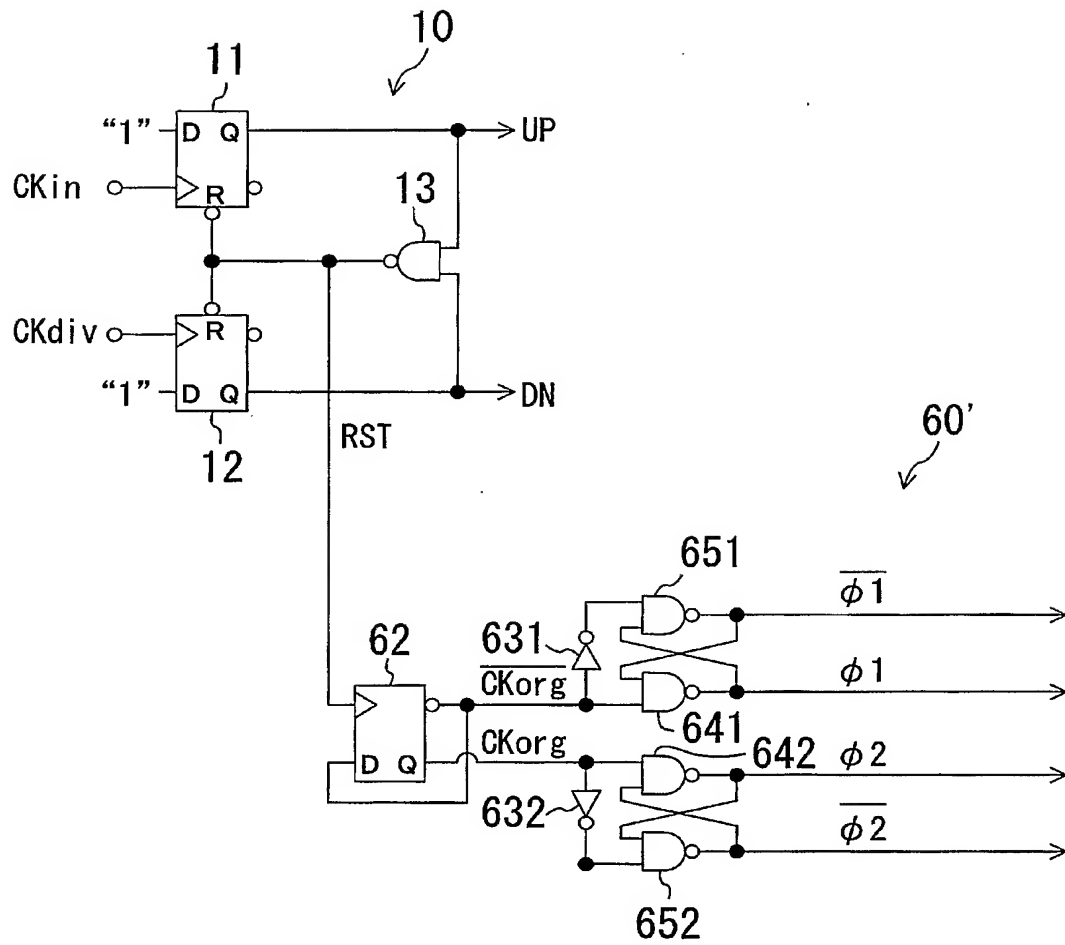
【図 8】



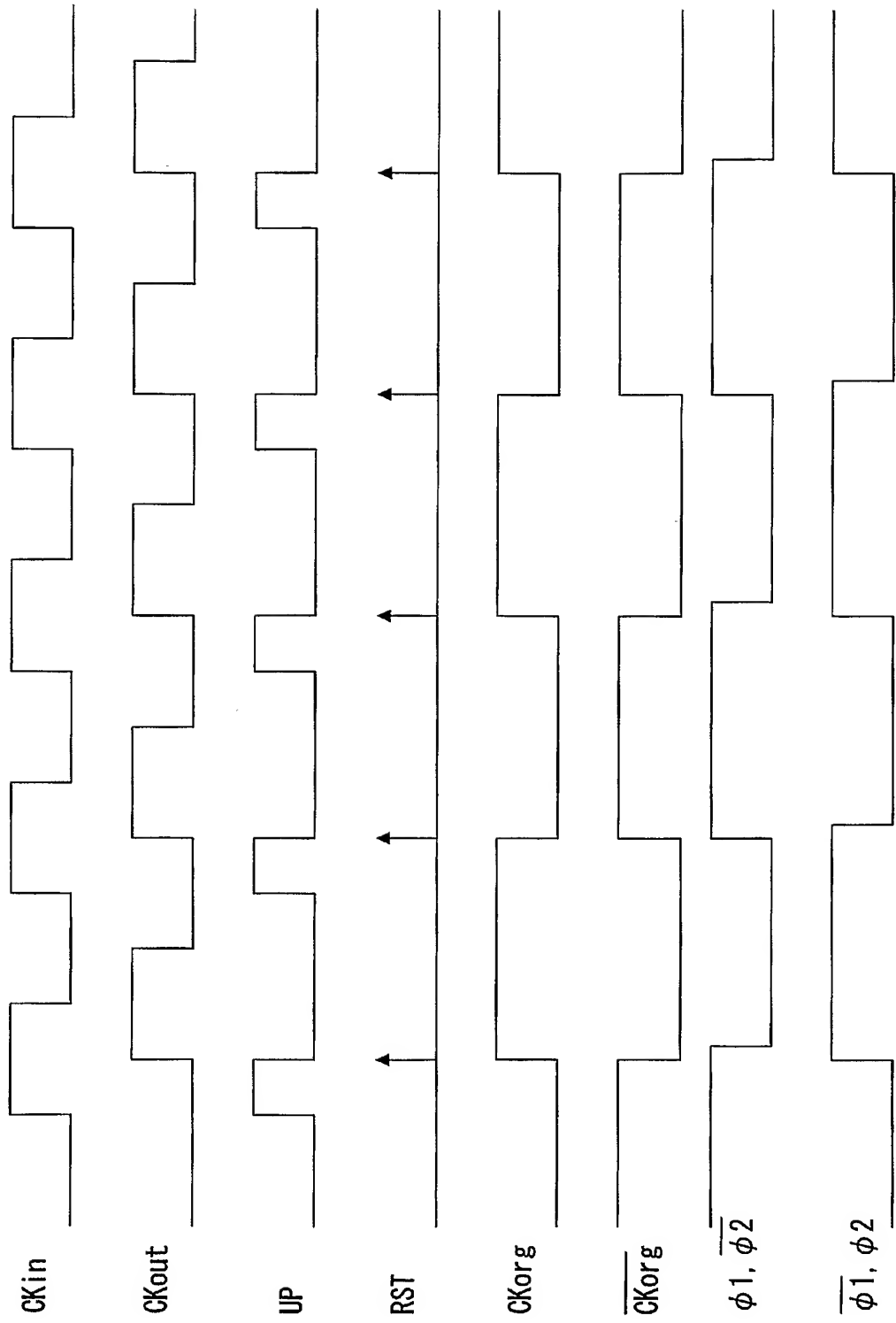
【図 9】



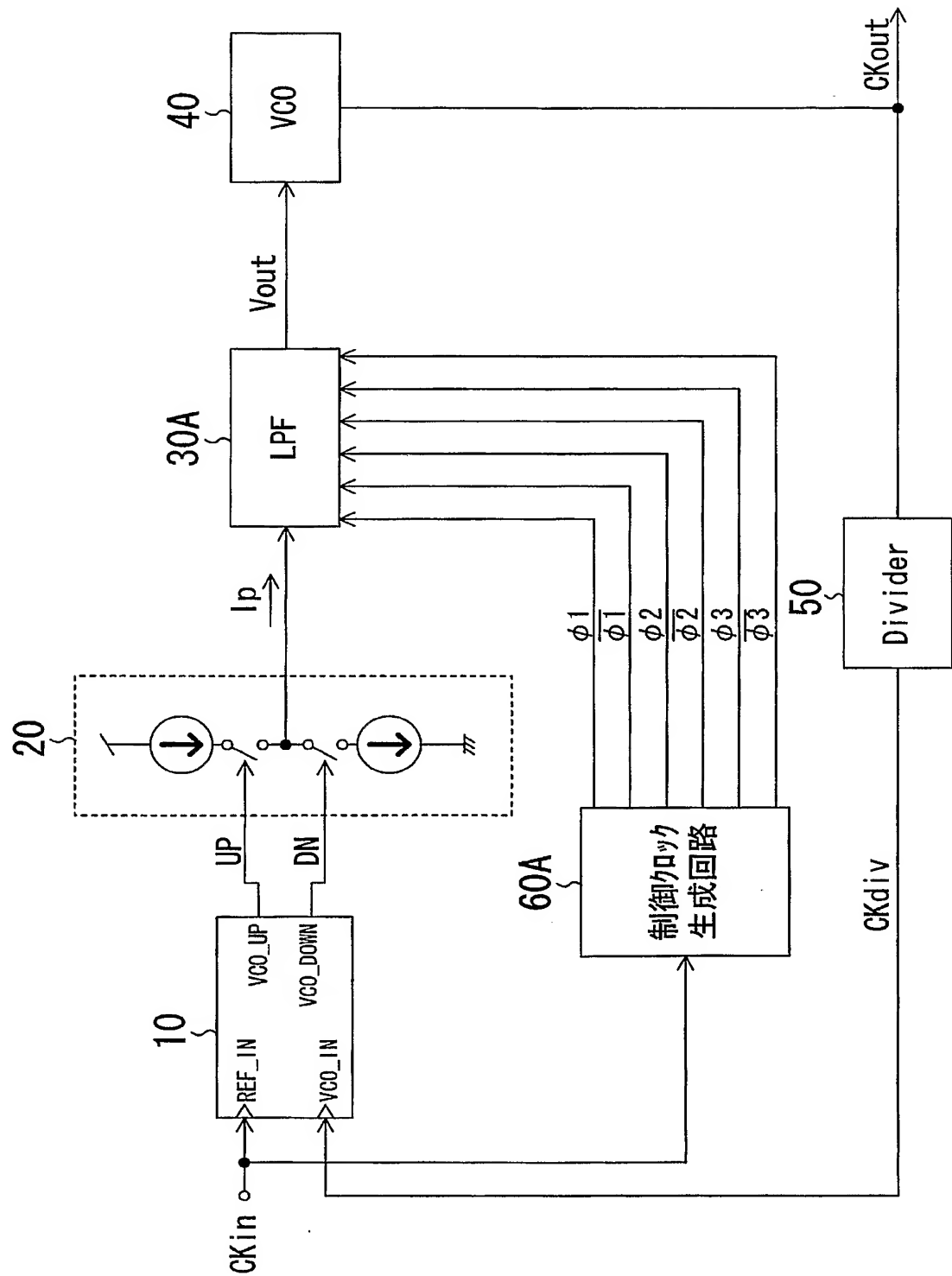
【図 10】



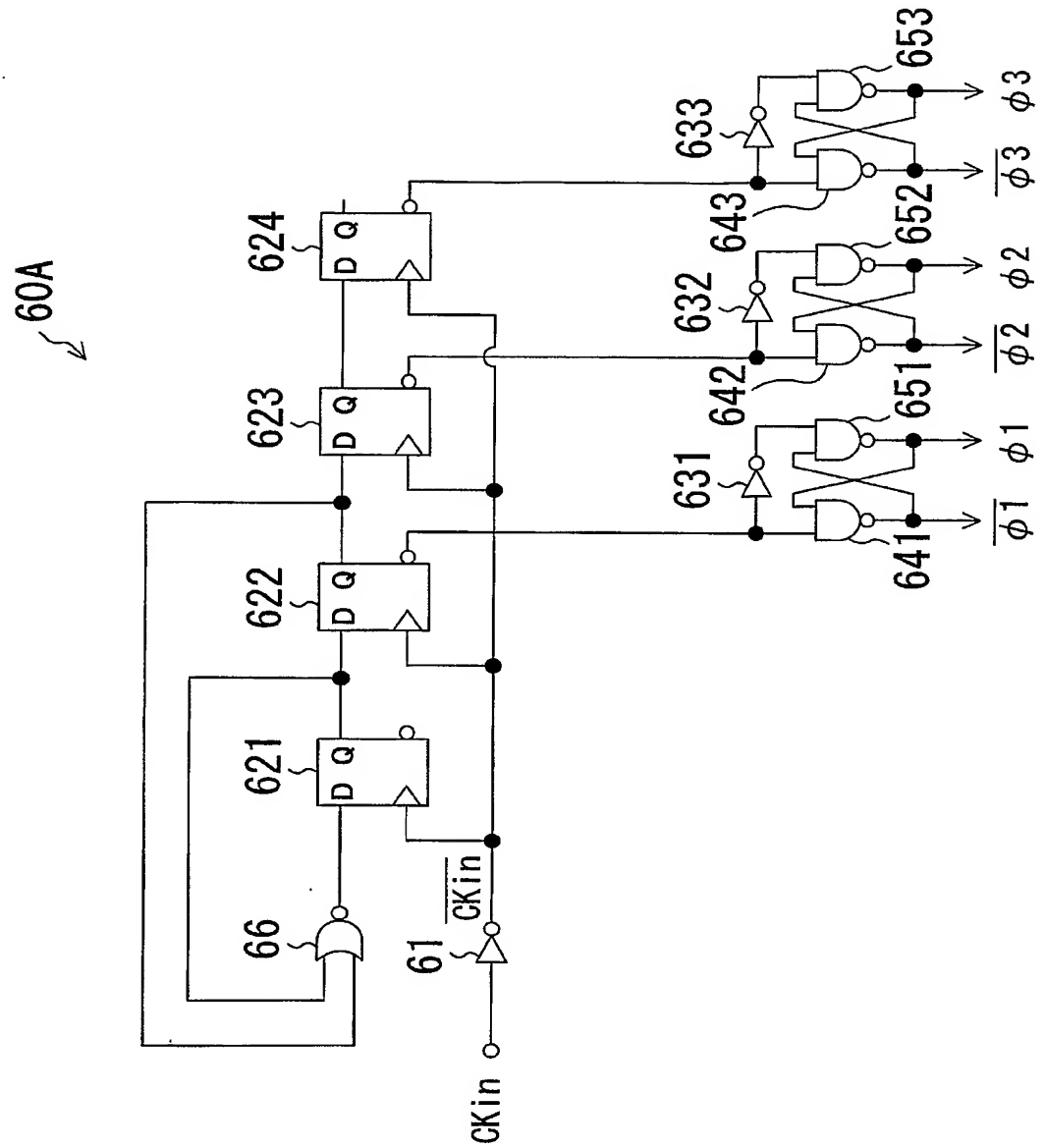
【図 11】



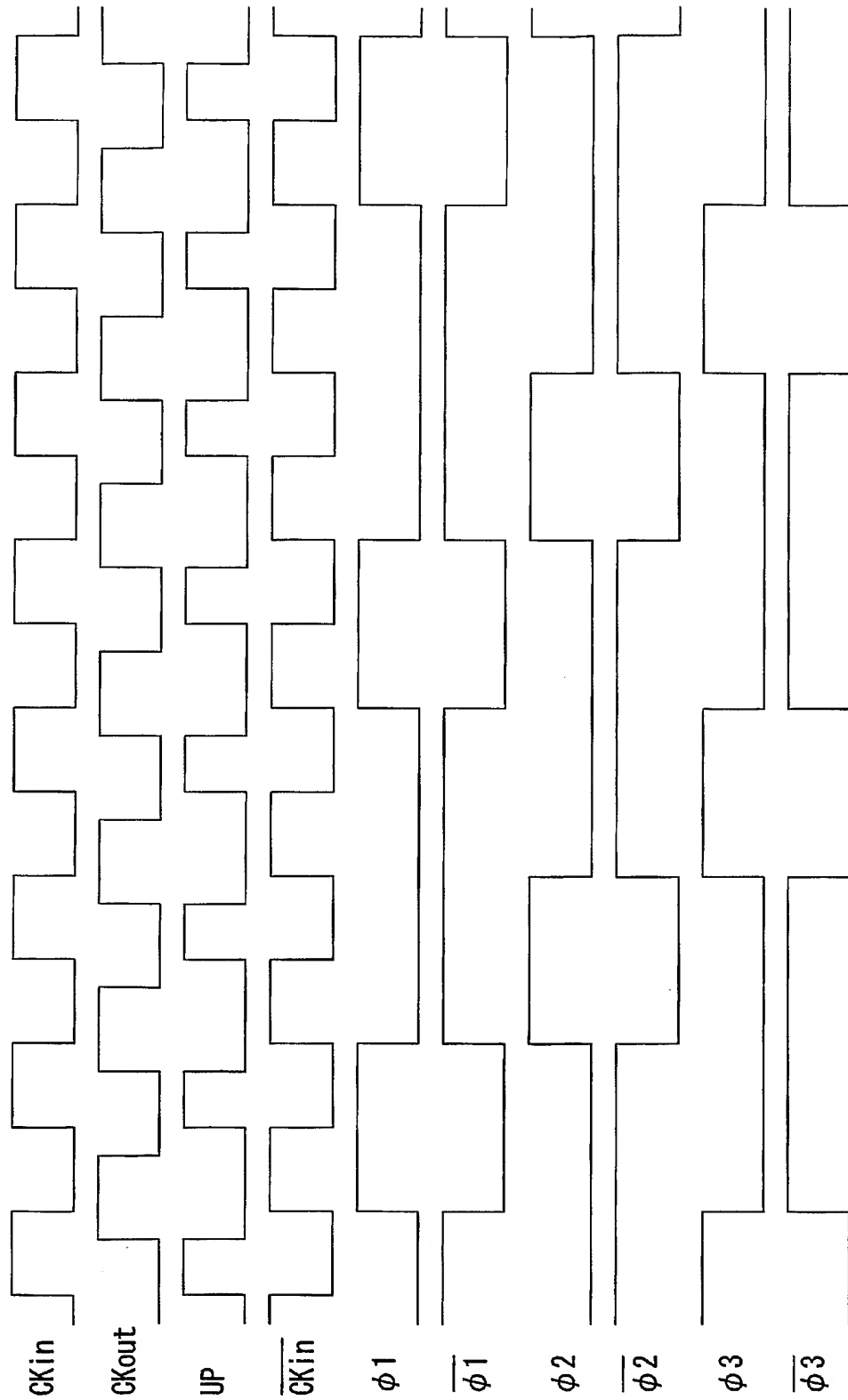
【図 12】



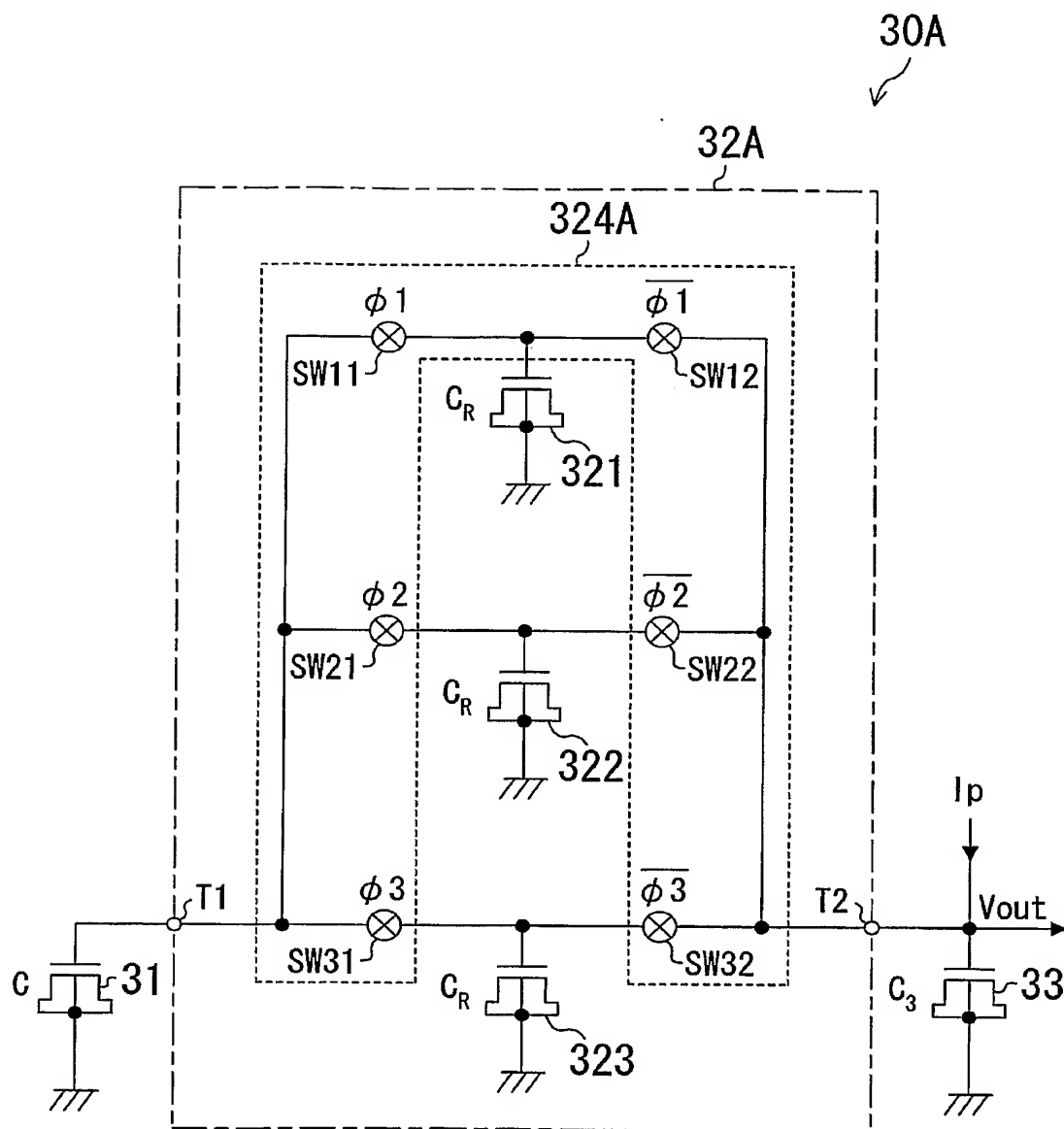
【図 13】



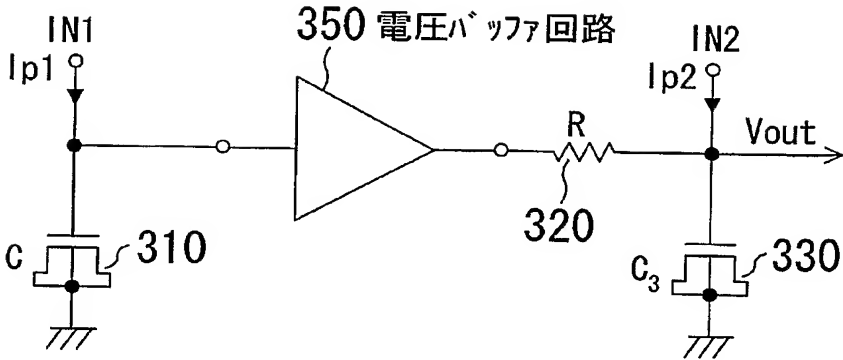
【図 14】



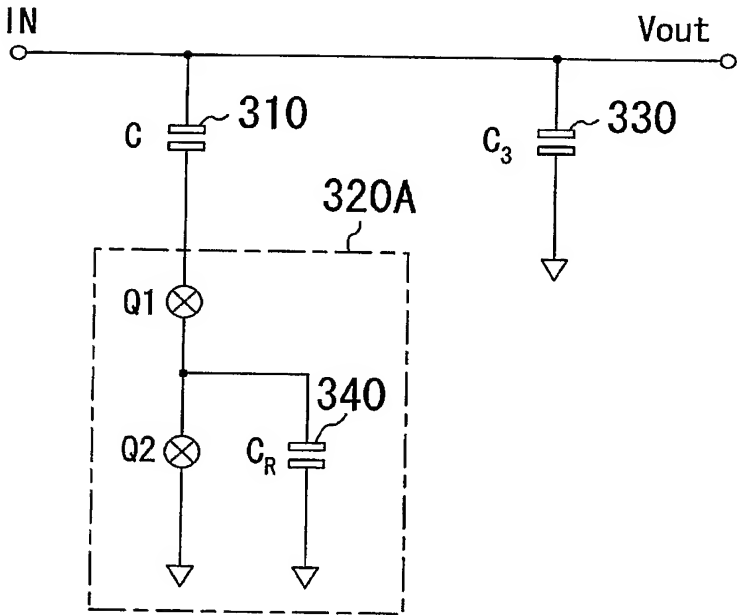
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 位相同期回路や遅延ロックループ回路などにおけるループフィルタの回路規模を縮小する。

【解決手段】 ループフィルタ (3 0) は、電流信号の入力端と基準電圧との間に設けられた第 1 の容量素子 (3 1) と、上記入力端と第 1 の容量素子 (3 1) との間に設けられたスイッチトキャパシタ回路 (3 2) と、第 1 の容量素子 (3 1) および前記スイッチトキャパシタ回路 (3 2) に並列に設けられた第 2 の容量素子 (3 3) とを備えている。スイッチトキャパシタ回路 (3 2) において、第 3 の容量素子 (3 2 1) が第 1 の容量素子 (3 1) 側に接続されるとき、第 4 の容量素子 (3 2 2) は第 2 の容量素子 (3 3) 側に接続される。上記構成のループフィルタ (3 0) において、第 2 の容量素子 (3 3) の容量値を、第 3 および第 4 の容量素子 (3 2 1, 3 2 2) の容量値よりも大きく設定する。

【選択図】 図 4

特願 2 0 0 4 - 0 9 3 2 5 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社